

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003 年 5 月 22 日 (22.05.2003)

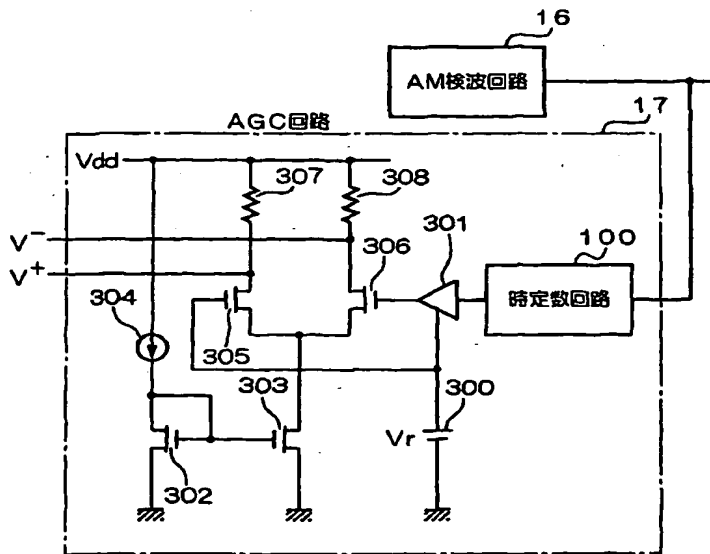
PCT

(10) 国際公開番号  
WO 03/043187 A1

- (51) 国際特許分類: H03G 3/30 (MIYAGI, Hiroshi) [JP/JP]; 〒943-0834 新潟県 上越市 西城町 2 丁目 5 番 1 3 号 新潟精密株式会社内 Niigata (JP).
- (21) 国際出願番号: PCT/JP02/11759
- (22) 国際出願日: 2002 年 11 月 12 日 (12.11.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2001-348018  
2001 年 11 月 13 日 (13.11.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒943-0834 新潟県 上越市 西城町 2 丁目 5 番 1 3 号 Niigata (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 宮城 弘
- (74) 代理人: 両貝 正彦 (AMAGAI, Masahiko); 〒169-0074 東京都 新宿区 北新宿 1 丁目 8 番 1 5 号 北新宿 OCビル 2 階 両貝特許事務所 Tokyo (JP).
- (81) 指定国 (国内): CN, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
- 添付公開書類:  
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: AUTOMATIC GAIN CONTROL CIRCUIT

(54) 発明の名称: 自動利得制御回路



16...AM DETECTOR CIRCUIT  
17...AGC CIRCUIT  
100...TIME-CONSTANT CIRCUIT

(57) Abstract: An automatic gain control circuit integrally fabricated on a semiconductor substrate. An AGC circuit (17) controls the gain of an intermediate-frequency amplifier circuit (15) so that the average level of the output signal (sound signal) of an AM detector circuit (16) may be substantially constant. The AGC circuit (17) includes a time-constant circuit (100), which comprises a charging circuit for intermittently charging the capacitor and a discharging circuit for intermittently discharging the same. By this intermittent charging and discharging of the capacitor having a small capacitance, a large time constant is set.

[続葉有]



---

(57) 要約:

半導体基板上に一体形成することができる自動利得制御回路を提供することを目的とする。A G C回路17は、A M検波回路16の出力信号（音声信号）の平均レベルがほぼ一定になるように中間周波増幅回路15の利得を制御する。A G C回路17には、時定数回路100が含まれている。この時定数回路100は、このコンデンサを間欠的に充電する充電回路と、間欠的に放電させる放電回路とを備えており、小さな静電容量のコンデンサに対して間欠的な充放電動作を行うことにより、大きな時定数が設定されている。

I

## 明 細 書

## 自動利得制御回路

## 技術分野

本発明は、受信機等に含まれる増幅器の利得を制御する自動利得制御回路に関する。

## 背景技術

AM受信機やFM受信機等においては、受信電界強度に応じた出力音声レベルの変動を防止するためにAGC（自動利得制御）回路が用いられている。例えば、AM受信機に含まれる中間周波増幅回路にAGC回路が接続されており、AM検波出力に応じて中間周波増幅回路の利得が制御されている。これにより、中間周波増幅回路の利得が、弱電界地域では大きな値に、反対に強電界地域では小さな値に設定され、常にほぼ一定の音声出力が得られるようになっている。

ところで、上述した従来のAGC回路では、音声信号を平滑して直流レベルを検出する必要があり、大きな時定数のローパスフィルタが用いられる。すなわち、ローパスフィルタを構成するコンデンサあるいは抵抗の素子定数を大きな値に設定する必要があり、これらの素子による占有面積の増大を考慮すると、他の回路とともにAGC回路全体を半導体基板上に一体形成することができないという問題があった。

## 発明の開示

本発明は、このような点に鑑みて創作されたものであり、その目的は、半導体基板上に一体形成することができる自動利得制御回路を提供することにある。

本発明の自動利得制御回路は、制御信号によって利得が調整可能な増幅器に接続されており、増幅器の出力電圧を所定の時定数で平滑する時定数回路と、時定数回路の出力電圧に基づいて制御信号を生成する制御信号生成回路とを有している。また、時定数回路は、コンデンサと、このコンデンサの端子電圧と入力電圧

とを比較する電圧比較器と、端子電圧よりも入力電圧の方が相対的に高い場合にコンデンサを間欠的に充電する充電回路と、端子電圧の方が入力電圧よりも相対的に低い場合にコンデンサから間欠的に放電電流を放出する放電回路と、充電回路による充電速度と放電回路による放電速度を異ならせる充放電速度設定手段とを備えている。コンデンサに対して間欠的な充放電が行われるため、コンデンサの静電容量を小さくした場合であっても緩やかに端子電圧が変化し、等価的に大きな時定数を設定することができる。したがって、小さな静電容量のコンデンサを用いた場合であっても自動利得制御回路内の時定数回路に大きな時定数を設定することができ、自動利得制御回路全体を半導体基板上に一体形成することが可能となる。また、充放電速度設定手段を設けることにより、時定数回路内のコンデンサに対する充電速度と放電速度を異ならせることができるため、容易にアタック時間とリリース時間が異なる自動利得制御回路を実現することが可能になる。

また、コンデンサに所定の充電電流を供給する電流供給部と、電流供給部による充電電流の間欠的な供給動作のタイミングを制御する第1のタイミング制御部とを含んで充電回路を構成するとともに、コンデンサから所定の放電電流を放出する電流放出部と、電流放出部による放電電流の間欠的な放出動作のタイミングを制御する第2のタイミング制御部とを含んで放電回路を構成することが望ましい。電流供給部による充電電流の供給動作のタイミングと電流放出部による放電電流の放出動作のタイミングを制御することにより、コンデンサの間欠的な放電動作を容易に制御することができる。

また、上述した充放電速度設定手段は、第1および第2のタイミング制御部によって制御される充電電流の間欠的な供給時間と放電電流の間欠的な放出時間を異ならせることが望ましい。充放電動作が行われる時間そのものを異ならせることにより、容易に自動利得制御回路のアタック時間とリリース時間を異ならせることができる。

また、第1および第2のタイミング制御部のそれぞれが、所定のデューティ比を有するパルス信号に基づいてタイミングの制御を行うスイッチを有している場合に、上述した充放電速度設定手段は、充電用のパルス信号のデューティ比と放電用のパルス信号のデューティ比を異ならせることが望ましい。これにより、充

電時間と放電時間とを異ならせる制御が容易となる。

また、上述した充放電速度設定手段は、電流供給部によって供給される充電電流と電流放出部によって放出される放電電流を異ならせることが望ましい。充電電流値と放電電流値とを異ならせることにより、容易に自動利得制御回路のアタック時間とリリース時間を異ならせることができる。

また、電流供給部および電流放出部のそれぞれが、所定の基準電圧がゲートに印加されるトランジスタによって構成されている場合に、上述した充放電速度設定手段は、充電用のトランジスタと放電用のトランジスタのゲート寸法を異ならせることが望ましい。これにより、充電電流値と放電電流値とを異ならせる制御が容易となる。

#### 図面の簡単な説明

- 図 1 は、一実施形態の A G C 回路が含まれる A M 受信機の構成を示す図、
- 図 2 は、中間周波増幅回路の構成を示す図、
- 図 3 は、中間周波増幅回路に含まれる各段の増幅器の詳細構成を示す回路図、
- 図 4 は、A G C 回路の詳細構成を示す回路図、
- 図 5 は、時定数回路の原理ブロックを示す図、
- 図 6 は、時定数回路の具体的な構成を示す回路図、
- 図 7 は、時定数回路の変形例を示す回路図、
- 図 8 は、M O S 型の F E T のゲート寸法を示す図である。

#### 発明を実施するための最良の形態

以下、本発明を適用した一実施形態の A G C 回路について、図面を参照しながら説明する。

図 1 は、一実施形態の A G C 回路が含まれる A M 受信機の構成を示す図である。図 1 に示すように、本実施形態の A M 受信機は、高周波増幅回路 1 1、混合回路 1 2、局部発振器 1 3、中間周波フィルタ 1 4、中間周波増幅回路 1 5、A M 検波回路 1 6、A G C 回路 1 7 を含んで構成されている。アンテナ 1 0 によって受信した A M 変調波信号を高周波増幅回路 1 1 によって増幅した後、局部発振器 1

3から出力される局部発振信号を混合することにより高周波信号から中間周波信号への変換を行う。

中間周波フィルタ14は、中間周波増幅回路15の前段に設けられており、入力される中間周波信号から変調波信号の占有周波数帯域幅に含まれる周波数成分を抽出する。中間周波増幅回路15は、中間周波信号を増幅する。AM検波回路16は、中間周波増幅回路15によって増幅された後の中間周波信号に対してAM検波処理を行って音声信号を出力する。AGC回路17は、AM検波回路16の出力信号（音声信号）の平均レベルがほぼ一定になるように中間周波増幅回路15の利得を制御する。

図2は、中間周波増幅回路15の構成を示す図である。図2に示すように、本実施形態の中間周波増幅回路15は、複数段（例えば4段）の縦続接続された増幅器251～254を備えている。増幅器251～254のそれぞれは所定の利得を有しており、中間周波増幅回路15全体では各増幅器251～254の利得を掛け合わせた利得を有する。また、これらの各増幅器251～254の利得は、AGC回路17によって設定される。

図3は、中間周波増幅回路15に含まれる各段の増幅器の詳細構成を示す回路図である。増幅器251～254のそれぞれは同じ構成を有しており、以下では増幅器251について詳細に説明する。

図3に示すように、本実施形態の増幅器251は、定電流を生成するFET201、202、電流源203と、入力信号を差動増幅する2つのFET204、205と、これら2つのFET204、205の差動出力の利得を制御信号 $V+$ 、 $V-$ に応じて可変する4つのFET206、207、208、209と、入力信号から直流成分を除去する2つのコンデンサ210、211と、2つの負荷抵抗212、213とを含んで構成されている。前段の回路（中間周波フィルタ14）からの入力信号（ $IN+$ 、 $IN-$ ）がFET204、205に入力され、AGC回路17からの制御信号（ $V+$ 、 $V-$ ）がFET206～209に入力されている。この構成に含まれるFET201、202、206～209は全てpチャネル型が用いられている。なお、コンデンサ210、211のそれぞれの一方端に接続された抵抗220、221は、これらのコンデンサ210、211と

もにハイパスフィルタを構成しており、入力信号からフリッカーノイズ ( $1/f$  ノイズ) が含まれる低域成分を除去する。また、抵抗 212、213 のそれぞれに並列に接続されたコンデンサ 222、223 は、これらの抵抗 212、213 とともにローパスフィルタを構成しており、出力信号から熱雑音が含まれる高域成分を除去する。

図 4 は、AGC 回路 17 の詳細構成を示す回路図である。図 4 に示すように、本実施形態の AGC 回路 17 は、入力信号を所定の時定数で平滑する時定数回路 100 と、所定の電源電圧  $V_r$  を発生する電源 300 と、この電源電圧  $V_r$  を動作電圧として時定数回路 100 の出力電圧を増幅する増幅器 301 と、定電流を生成する 2 つの FET 302、303、電流源 304 と、電源 300 で発生した電源電圧  $V_r$  および増幅器 301 の出力電圧を差動増幅する 2 つの FET 305、306 および 2 つの抵抗 307、308 とを含んで構成されている。

時定数回路 100 では、AM 検波回路 16 の出力信号を平滑するために、出力電圧が上昇する場合の応答時間 (時定数) と反対に出力電圧が減少する場合の応答時間が異なる値に設定されている。例えば、電圧上昇時の応答時間が 50 msec に、電圧減少時の応答時間が 300 ~ 500 msec に設定されている。増幅器 301 は、時定数回路 100 の平滑出力を増幅しており、出力電圧が 0 V から電源電圧  $V_r$  までの範囲で変化する。

すなわち、AM 検波回路 16 の出力信号の電圧レベルが小さい場合には、時定数回路 100 の出力電圧が低くなるため、増幅器 301 の出力電圧が 0 V に近い小さな値となる。したがって、差動動作を行う 2 つの FET 305、306 に着目すると、一方の FET 305 のゲートに電源電圧  $V_r$  が、他方の FET 306 のゲートに 0 V に近い低い電圧が印加され、それぞれのドレインからは大きな電位差を有する 2 つの制御信号 ( $V+$ 、 $V-$ ) が出力される。この制御信号が上述した増幅器 251 に入力されると、2 つの FET 206、207 あるいは 2 つの FET 208、209 によって差動動作が行われるため、増幅器 251 全体の利得が高くなり、大きな電位差を有する差動出力信号 ( $OUT+$ 、 $OUT-$ ) が増幅器 251 から出力される。

また、AM 検波回路の出力電圧の電圧レベルが大きくなると、時定数回路 10

0 の出力電圧が高くなるため、増幅器 301 の出力電圧が電源電圧  $V_r$  に近い値となる。したがって、差動動作を行う 2 つの FET 305、306 に着目すると、一方の FET 305 のゲートに電源電圧  $V_r$  が、他方の FET 306 のゲートに電源電圧  $V_r$  あるいはこれに近い電圧が印加され、それぞれのドレインからはほとんど同じ電圧レベルの 2 つの制御信号 ( $V+$ 、 $V-$ ) が出力される。この制御信号が上述した増幅器 251 に入力されると、2 つの FET 206、207 あるいは 2 つの FET 208、209 によってほとんど差動動作が行われなくなるため、増幅器 251 全体の利得が低くなり、小さな電位差を有する差動出力信号 ( $OUT+$ 、 $OUT-$ ) が増幅器 251 から出力される。

図 5 は、時定数回路 100 の原理ブロックを示す図である。図 5 に示すように、本実施形態の時定数回路 100 は、コンデンサ 110、電圧比較器 112、充電回路 114、放電回路 116、充放電速度設定部 118 を備えている。電圧比較器 112 は、コンデンサ 110 の端子電圧と入力電圧とを比較し、この比較結果に応じて充電回路 114 あるいは放電回路 116 の動作を有効にする。充電回路 114 は、間欠的に充電電流を供給することによりコンデンサ 110 を充電する。例えば、この充電回路 114 は、定電流回路とスイッチとを含んで構成されており、スイッチがオン状態になったときに定電流回路からコンデンサ 110 に対して充電電流が供給される。また、放電回路 116 は、間欠的に放電電流を流すことによりコンデンサ 110 を放電する。例えば、この放電回路 116 は、定電流回路とスイッチとを含んで構成されており、スイッチがオン状態になったときにコンデンサ 110 から一定の電流が放出される。充放電速度設定部 118 は、充電回路 114 によるコンデンサ 110 の充電速度と放電回路 116 によるコンデンサ 110 の放電速度とを異ならせる設定を行う。この充放電速度設定部 118 が充放電速度設定手段に対応しており、具体的な内容については後述する。

このように、本実施形態の時定数回路 100 は、コンデンサ 110 に対して間欠的な充放電動作を行っている。このため、コンデンサ 110 の静電容量を小さく設定した場合でも、緩やかにその両端電圧が変化し、大きな時定数を有する回路、すなわち大きな静電容量を有するコンデンサや大きな抵抗値を有する抵抗を使用した場合と同等の充放電特性を得ることができる。また、充電回路 114 や



放電回路 116 では、所定の電流をコンデンサ 110 に供給、あるいはコンデンサ 110 から放出する制御を行うが、これらの供給、放出動作は間欠的に行われるため、その際の電流値を IC 化に適したある程度大きな値に設定することができる。したがって、時定数回路 100 を含む AGC 回路 17 全体を半導体基板上に形成して IC 化することが可能になる。また、コンデンサ等の外付け部品が不要になるため、AGC 回路 17 全体を大幅に小型化することができる。

また、本実施形態の時定数回路 100 は、充放電速度設定部 118 によってコンデンサ 110 に対する充電速度と放電速度が異なるように設定されている。このため、AGC 回路 17 のアタック時間とリリース時間を異ならせることが可能になる。

図 6 は、時定数回路 100 の具体的な構成を示す回路図である。図 6 に示すように、時定数回路 100 は、コンデンサ 110、定電流回路 140、FET 142、144、150、154、156、スイッチ 146、152、電圧比較器 160、アンド回路 162、164、分周器 170 を含んで構成されている。

2つの FET 142、144 によってカレントミラー回路が構成されており、定電流回路 140 から出力される定電流と同じ充電電流が生成される。また、この充電電流の生成タイミングがスイッチ 146 によって決定される。

スイッチ 146 は、インバータ回路 1 とアナログスイッチ 2 と FET 3 によって構成されている。アナログスイッチ 2 は、p チャネル FET と n チャネル FET の各ソース・ドレイン間を並列接続することにより構成されている。アンド回路 162 の出力信号が直接 n チャネル FET のゲートに入力されているとともに、この出力信号の論理をインバータ回路 1 によって反転した信号が p チャネル FET のゲートに入力されている。したがって、このアナログスイッチ 2 は、アンド回路 162 の出力信号がハイレベルのときにオン状態になって、反対にローレベルのときにオフ状態になる。また、FET 3 は、アナログスイッチ 2 がオフ状態のときに FET 144 のゲート・ドレイン間を低抵抗で接続することにより、FET 144 による電流供給動作を確実に停止させるためのものである。

スイッチ 146 がオン状態になると、定電流回路 140 が接続された一方の FET 142 のゲートと他方の FET 144 のゲートとが接続された状態になるた

め、一方のFET142に接続された定電流回路140によって生成される定電流とほぼ同じ電流が他方のFET144のソース・ドレイン間にも流れる。この電流が、充電電流としてコンデンサ110に供給される。反対に、スイッチ146がオフ状態になると、FET144のゲートがドレインに接続された状態になるため、この充電電流の供給が停止される。

上述した定電流回路140および2つのFET142、144が電流供給部に対応する。スイッチ146、アンド回路162が第1のタイミング制御部に対応する。

また、上述したFET142と定電流回路140にFET150を組み合わせることにより、コンデンサ110の放電電流を設定するカレントミラー回路が構成されており、その動作状態がスイッチ152によって決定される。スイッチ152はスイッチ146と同じ構成を有している。このスイッチ152は、アンド回路164の出力信号の論理に応じてオンオフ状態が制御されており、この出力信号がハイレベルのときにオン状態に、ローレベルのときにオフ状態になる。

スイッチ152がオン状態になると、定電流回路140が接続された一方のFET142のゲートと他方のFET150のゲートとが接続された状態になるため、定電流回路140によって生成される定電流とほぼ同じ電流が他方のFET150のソース・ドレイン間にも流れる。この電流が、コンデンサ110に蓄積された電荷を放出する放電電流になる。

但し、FET150に流れる電流をコンデンサ110から直接取り出すことはできないため、本実施形態では、FET150のソース側にFET154、156によって構成される別のカレントミラー回路が接続されている。

2つのFET154、156はゲート同士が接続されており、FET154に上述した放電電流が流れたときに、同じ電流が他方のFET156のソース・ドレイン間にも流れるようになっている。このFET156は、ドレインがコンデンサ110の高電位側の端子に接続されており、FET156に流れる電流は、コンデンサ110に蓄積された電荷が放出されることによって生成される。

上述した定電流回路140および4つのFET142、150、154、156が電流放出部に対応する。スイッチ152、アンド回路164が第2のタイミ

ング制御部に対応する。

また、電圧比較器 160 は、プラス端子に印加されるコンデンサ 110 の端子電圧と、マイナス端子に印加される時定数回路 100 の入力電圧との大小比較を行う。この電圧比較器 160 は、非反転出力端子と反転出力端子を有しており、プラス端子に印加されるコンデンサ 110 の端子電圧の方がマイナス端子に印加される入力電圧よりも大きい場合には非反転出力端子からハイレベルの信号が出力され、反転出力端子からローレベルの信号が出力される。反対に、プラス端子に印加されるコンデンサ 110 の端子電圧の方がマイナス端子に印加される入力電圧よりも小さい場合には非反転出力端子からローレベルの信号が出力され、反転出力端子からハイレベルの信号が出力される。

アンド回路 162 は、一方の入力端子に所定のパルス信号が入力され、他方の入力端子に電圧比較器 160 の非反転出力端子が接続されている。したがって、コンデンサ 110 の端子電圧の方が時定数回路 100 の入力電圧よりも大きい場合に、アンド回路 162 から所定のパルス信号が出力される。

また、アンド回路 164 は、一方の入力端子に分周器 170 から出力される所定のパルス信号が入力され、他方の入力端子に電圧比較器 160 の反転出力端子が接続されている。したがって、コンデンサ 110 の端子電圧の方が時定数回路 100 の入力電圧よりも小さい場合に、アンド回路 164 から所定のパルス信号が出力される。上述した分周器 170 が充放電速度設定手段に対応する。

分周器 170 は、アンド回路 162 の一方の入力端子に入力されたパルス信号を所定の分周比で分周して出力する。上述したように、この分周後のパルス信号は、アンド回路 164 の一方の入力端子に入力される。

時定数回路 100 はこのような構成を有しており、次にその動作を説明する。

時定数回路 100 の動作開始時にコンデンサ 110 が充電されていない場合や、時定数回路 100 の入力電圧（AM 検波回路 16 の出力電圧）が上昇傾向にある場合には、コンデンサ 110 の端子電圧の方が時定数回路 100 の入力電圧よりも低い状態にある。このとき、アンド回路 162 からパルス信号が出力され、アンド回路 164 からはパルス信号が出力されない。したがって、スイッチ 146 のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の充電電

流がコンデンサ110に供給される。この充電動作は、コンデンサ110の端子電圧が時定数回路100の入力電圧よりも相対的に高くなるまで継続される。

また、この充電動作によってコンデンサ110の端子電圧が時定数回路100の入力電圧を超えた場合や、この入力電圧が下降傾向にあってコンデンサ110の端子電圧よりこの入力電圧の方が低い場合には、アンド回路164からパルス信号が出力され、アンド回路162からはパルス信号が出力されない。したがって、スイッチ152のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の放電電流がコンデンサ110から放出される。この放電動作は、コンデンサ110の端子電圧が時定数回路100の入力電圧よりも相対的に低くなるまで継続される。

また、上述した2つのアンド回路162、164から出力される2種類のパルス信号を比較すると、アンド回路162から出力されるパルス信号のデューティ比の方がアンド回路164から出力されるパルス信号のデューティ比よりも大きい。ため、2つのアンド回路162、164のそれぞれから同じ時間だけパルス信号が出力された場合を考えると、単位時間当たりの充電速度の方が放電速度よりも速くなる。このため、AGC回路17のアタック時間の方がリリース時間よりも短くなっている。

なお、上述した時定数回路100では、2つのアンド回路162、164からデューティ比が異なるパルス信号を出力するために分周器170を用いたが、異なるデューティ比のパルス信号を別々に生成して2つのアンド回路162、164のそれぞれに入力するようにしてもよい。

また、上述した時定数回路100では、コンデンサ110に対する充電速度と放電速度を異ならせるために、FET144、150のそれぞれがオン状態になる単位時間当たりの割合を異ならせたが、これらのFETのゲート寸法を異ならせることにより、充電電流と放電電流そのものを異ならせるようにしてもよい。

図7は、時定数回路の変形例を示す回路図である。図7に示す時定数回路100Aは、図6に示した時定数回路100に対して、分周器170を削除するとともに、2つのFET144、150をゲート寸法を変更した2つのFET144A、150Aに変更した点が異なっている。

図8は、MOS型のFET (FET) のゲート寸法を示す図である。ゲート電圧が同じであっても、ゲート幅Wとゲート長Lを変更することにより、チャネル抵抗が変化するため、ソース・ドレイン間を流れる電流は変化する。本実施形態では、充電電流を多くしてアタック時間を短くしたいため、FET144Aのゲート幅Wを大きな値に、ゲート長Lを小さな値に設定する。一方、放電電流を少なくしてリリース時間を長くしたいため、FET150Aのゲート幅Wを小さな値に、ゲート長Lを大きな値に設定する。このように、FET144A、150Aのそれぞれゲート寸法を異ならせることによってもAGC回路17のアタック時間とリリース時間を容易に異ならせることができる。この場合には、FET144A、150Aは、充電回路114と放電回路116の一部の構成をなすとともに、充放電速度設定手段としての機能を有する。

なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内において種々の変形実施が可能である。例えば、上述した実施形態では、AM受信機に含まれる中間周波増幅回路15の利得を制御するAGC回路17について説明したが、FM受信機等に含まれる中間周波増幅回路あるいは他の各種の増幅回路の利得を制御するAGC回路について本発明を適用することができる。

#### 産業上の利用可能性

上述したように、本発明によれば、コンデンサに対して間欠的な充放電が行われるため、コンデンサの静電容量を小さくした場合であっても緩やかに端子電圧が変化し、等価的に大きな時定数を設定することができる。したがって、小さな静電容量のコンデンサを用いた場合であっても自動利得制御回路内の時定数回路に大きな時定数を設定することができ、自動利得制御回路全体を半導体基板上に一体形成することが可能となる。また、充放電速度設定手段を設けることにより、時定数回路内のコンデンサに対する充電速度と放電速度を異ならせることができるため、容易にアタック時間とリリース時間が異なる自動利得制御回路を実現することが可能になる。

## 請 求 の 範 囲

1. 制御信号によって利得が調整可能な増幅器に接続されており、前記増幅器の出力電圧を所定の時定数で平滑する時定数回路と、前記時定数回路の出力電圧に基づいて前記制御信号を生成する制御信号生成回路とを有する自動利得制御回路において、

前記時定数回路は、

コンデンサと、

前記コンデンサの端子電圧と入力電圧とを比較する電圧比較器と、

前記端子電圧よりも前記入力電圧の方が相対的に高い場合に、前記コンデンサを間欠的に充電する充電回路と、

前記端子電圧の方が前記入力電圧よりも相対的に低い場合に、前記コンデンサから間欠的に放電電流を放出する放電回路と、

前記充電回路による充電速度と前記放電回路による放電速度を異ならせる充放電速度設定手段と、

を備えることを特徴とする自動利得制御回路。

2. 前記充電回路は、前記コンデンサに所定の充電電流を供給する電流供給部と、前記電流供給部による充電電流の間欠的な供給動作のタイミングを制御する第1のタイミング制御部とを含んで構成されており、

前記放電回路は、前記コンデンサから所定の放電電流を放出する電流放出部と、前記電流放出部による放電電流の間欠的な放出動作のタイミングを制御する第2のタイミング制御部とを含んで構成されていることを特徴とする請求の範囲第1項記載の自動利得制御回路。

3. 前記充放電速度設定手段は、前記第1および第2のタイミング制御部によって制御される充電電流の間欠的な供給時間と放電電流の間欠的な放出時間を異ならせることを特徴とする請求の範囲第2項記載の自動利得制御回路。

4. 前記第1および第2のタイミング制御部のそれぞれは、所定のデューティ比を有するパルス信号に基づいて前記タイミングの制御を行うスイッチを有しており、

前記充放電速度設定手段は、充電用の前記パルス信号のデューティ比と放電用

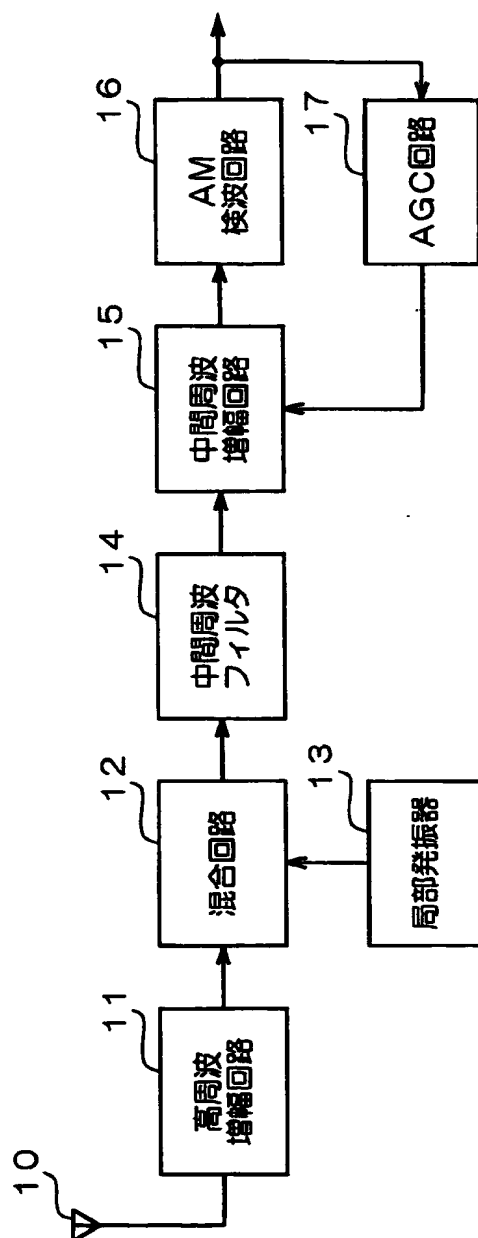
の前記パルス信号のデューティ比を異ならせることを特徴とする請求の範囲第3項記載の自動利得制御回路。

5. 前記充放電速度設定手段は、前記電流供給部によって供給される充電電流と前記電流放出部によって放出される放電電流を異ならせることを特徴とする請求の範囲第2項記載の自動利得制御回路。

6. 前記電流供給部および前記電流放出部のそれぞれは、所定の基準電圧がゲートに印加されるトランジスタによって構成されており、

前記充放電速度設定手段は、充電用の前記トランジスタと放電用の前記トランジスタのゲート寸法を異ならせることを特徴とする請求の範囲第5項記載の自動利得制御回路。

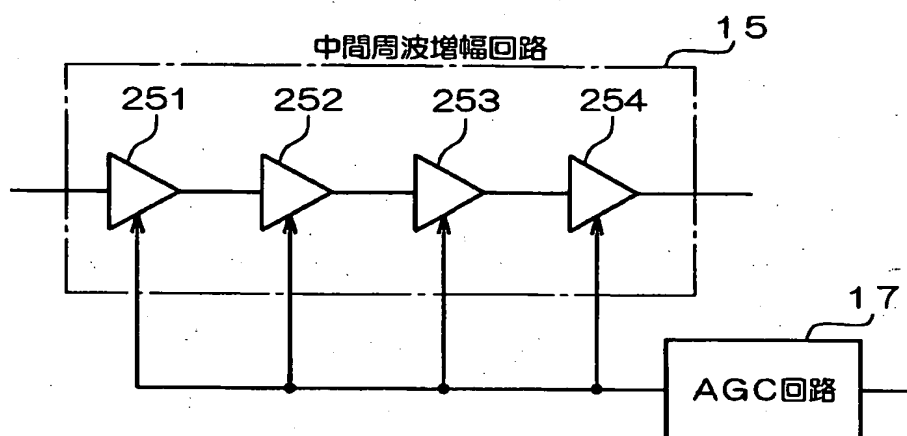
図 1





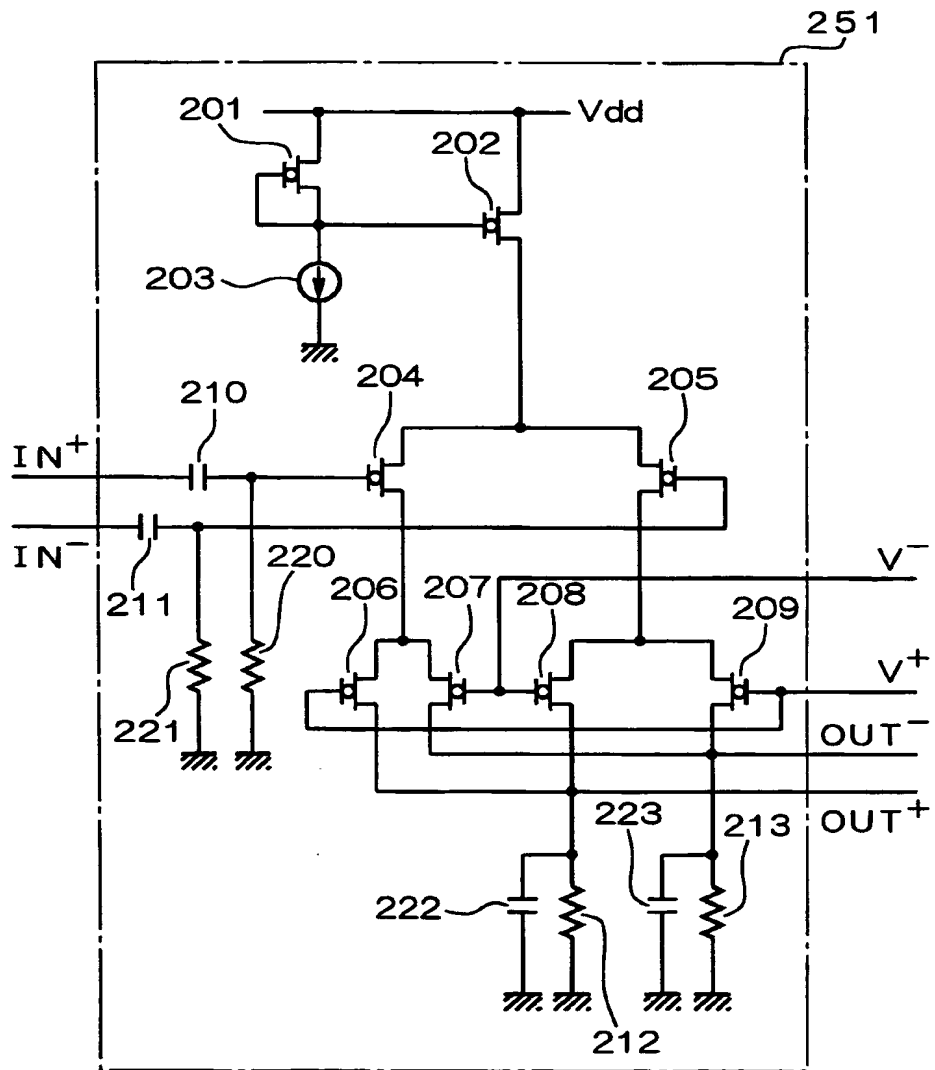
2/8

図2



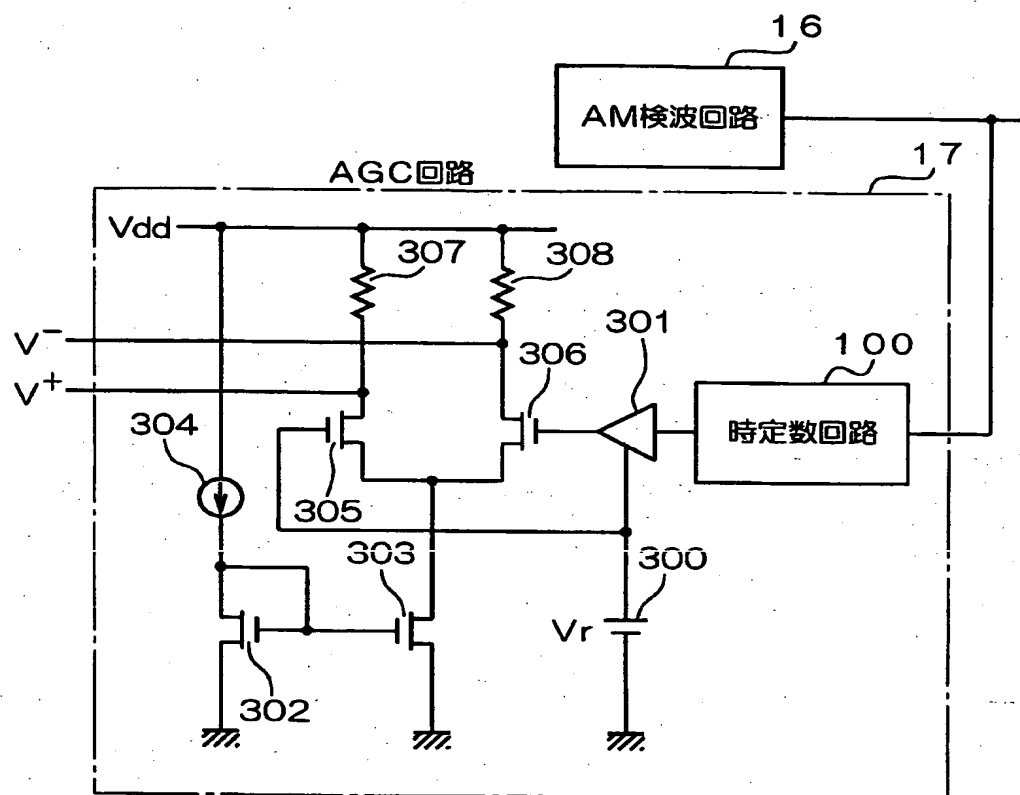
3/8

3



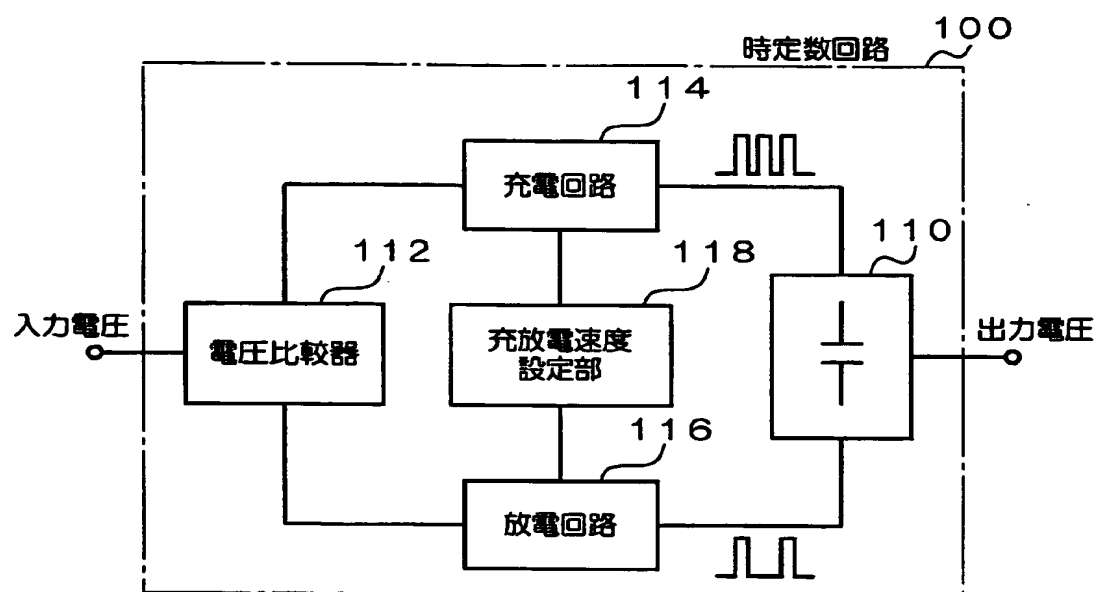
4/8

図4



5/8

図5



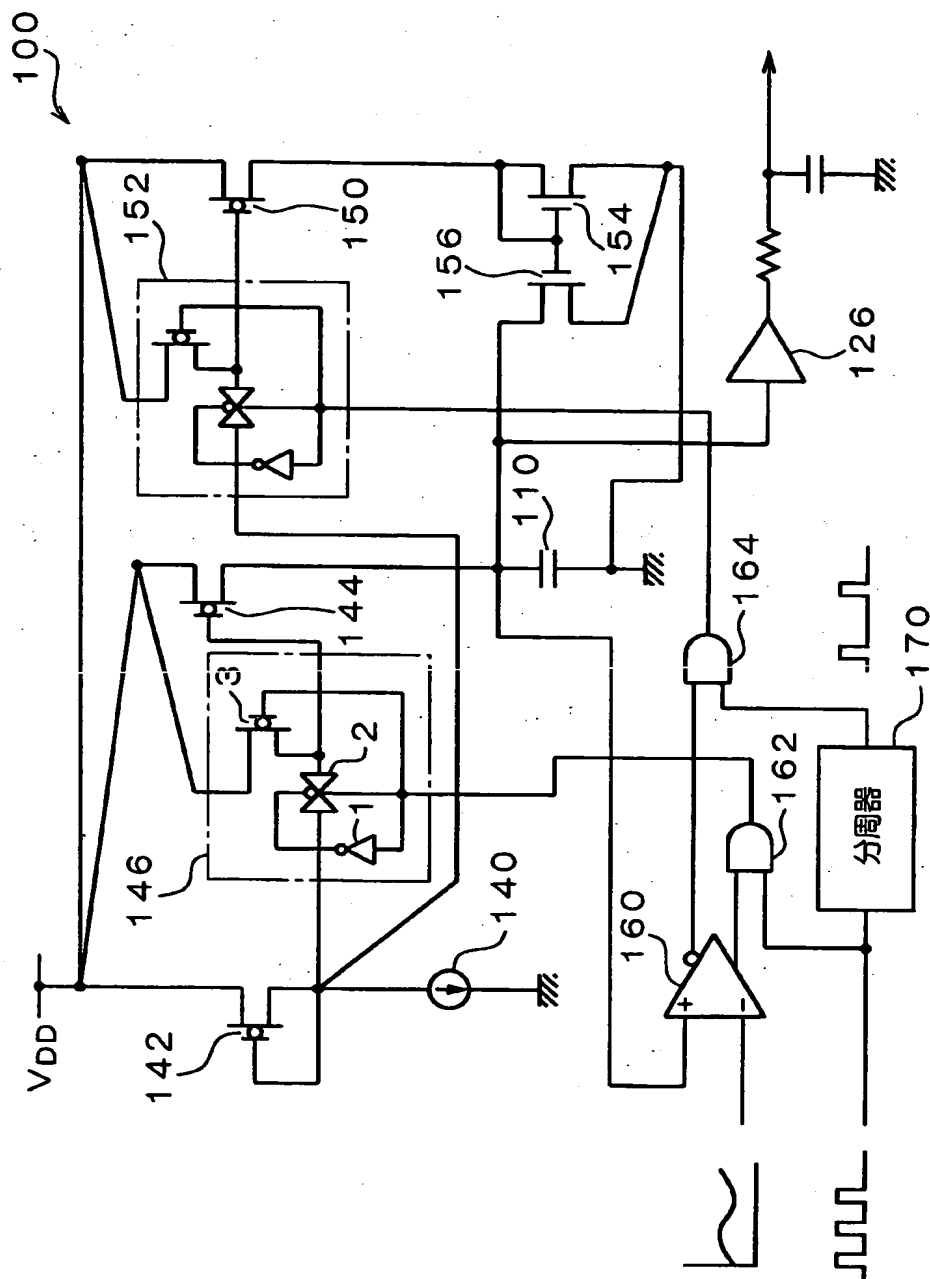
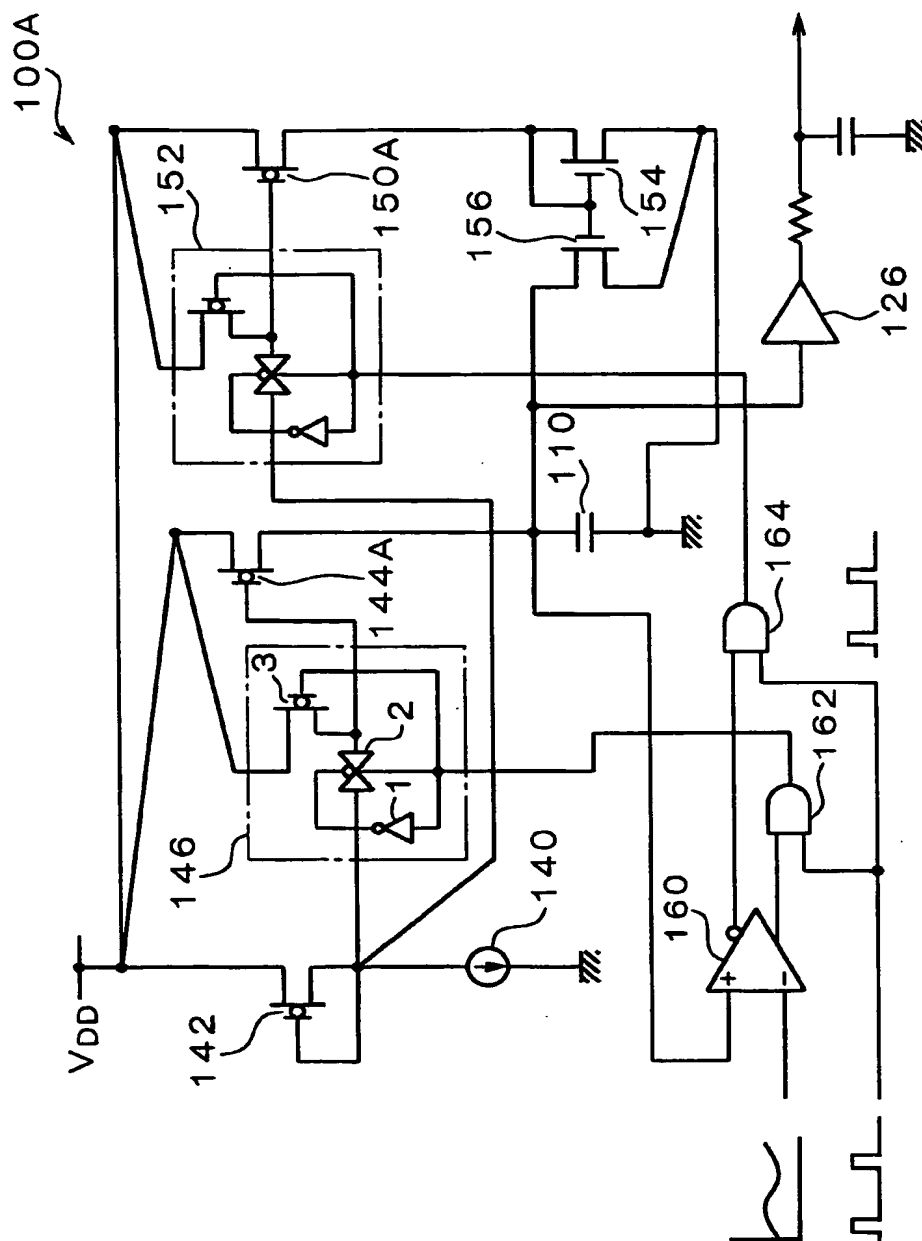
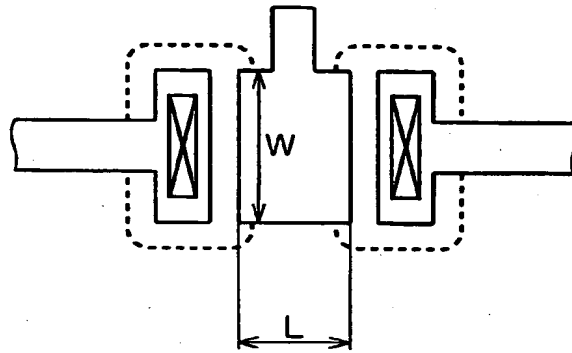


図7



8/8

8



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11759

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H03G3/30

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H03G3/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-22880 A (NEC IC Miconsystem Kabushiki Kaisha), 24 January, 1995 (24.01.95), Full text; Figs. 1 to 9 (Family: none)	1-6
Y	JP 57-192120 A (Fujitsu Ltd.), 26 November, 1982 (26.11.82), Full text; Figs. 1 to 4 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
10 February, 2003 (10.02.03)

Date of mailing of the international search report  
25 February, 2003 (25.02.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11759

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	<p>JP 54-71545 A (Thomson-CSF),  08 June, 1979 (08.06.79),  Full text; all drawings</p> <p>&amp; AU 7841005 A                      &amp; IT 7851600 A0  &amp; DE 2846234 A                      &amp; SE 7810991 A  &amp; NL 7810589 A                      &amp; GB 2007446 A  &amp; FR 2407607 A                      &amp; ZA 7805723 A  &amp; AR 215348 A                      &amp; US 4204172 A  &amp; IL 55772 A                        &amp; CA 1126825 A  &amp; IT 1106230 A</p>	1-6

## 国際調査報告

国際出願番号 PCT/JPO2/11759

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03G3/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03G3/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 7-22880 A (日本電気アイシーマイコンシステム株式会社) 1995. 01. 24 全文, 図1~図9 (ファミリーなし)	1-6
Y	J P 57-192120 A (富士通株式会社) 1982. 11. 26 全文, 第1~4図 (ファミリーなし)	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

10. 02. 03

国際調査報告の発送日

25.02.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

畑中 博幸

5W 9180

印

電話番号 03-3581-1101 内線 3574

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 54-71545 A (トムソン-セーエスエフ) 1979.06.08 全文, 全図 & AU 7841005 A & IT 7851600 A0 & DE 2846234 A & SE 7810991 A & NL 7810589 A & GB 2007446 A & FR 2407607 A & ZA 7805723 A & AR 215348 A & US 4204172 A & IL 55772 A & CA 1126825 A & IT 1106230 A	1-6

**THIS PAGE BLANK (USPTO)**